

## ⑪ 公開特許公報 (A)

平3-184410

⑤Int.Cl.<sup>5</sup>H 03 H 7/06  
H 03 K 5/01  
17/16

識別記号

庁内整理番号

⑬公開 平成3年(1991)8月12日

G 6959-5J  
B 8321-5J  
B 8124-5J

審査請求 未請求 請求項の数 1 (全8頁)

④発明の名称 半導体フィルタ回路

②特 願 平1-323631

②出 願 平1(1989)12月13日

②発明者 土屋 浩 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内

②発明者 村上 浩一 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内

①出願人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

④代理人 弁理士 永井 冬紀

## 明細書

## 1. 発明の名称

半導体フィルタ回路

## 2. 特許請求の範囲

信号入力端子が外付けの保護抵抗を介して信号入力スイッチの一端に接続され、該信号入力スイッチの他端が電源側もしくは接地側に接続され、信号出力端子が前記信号入力スイッチのオン・オフに伴うデジタル信号を受信する電子回路に接続されるとともに前記電子回路に侵入するノイズ等を除去する集積化されたフィルタ回路において、

前記信号入力端子に接続され、前記信号入力スイッチと電気的に並列に接続された、順方向および逆方向に直列接続された一对のツェナダイオードと、

前記信号入力端子に接続され、前記信号入力スイッチと電気的に並列に接続されたコンデンサと、

電源と接地間で、前記信号入力端子を間に介して前記信号入力スイッチと電気的に直列に接続されたブル抵抗と、

前記信号入力端子と前記信号出力端子間に接続

されたバッファもしくはコンパレータとを備えたことを特徴とする半導体フィルタ回路。

## 3. 発明の詳細な説明

## A. 産業上の利用分野

本発明は、電子回路の信号入力系に侵入するノイズを除去するための半導体フィルタ回路に関するもの。

## B. 従来の技術

例えば自動車用電子回路のフィルタ回路には、  
(1) 各種の誘導性負荷で発生する数百Vのサーボのエネルギーを吸収し、電子回路の破損を防ぐ。  
(2) 車両外部からの強力な電磁波による電波障害ノイズや上記サーボによる高周波のノイズパルスを除去し、電子回路の誤動作を防ぐ、といった機能が要求される。

第4図は、“電気科学シリーズ CMOS応用技術” 1980、産報出版、P47, 48に記載されたこのような機能を持つ従来のフィルタ回路の一例を示す回路図である。

第4図において、破線で囲んだ部分がフィルタ

回路1であり、保護抵抗2、コンデンサ3および電圧クランプ用のダイオード4および5から構成されている。フィルタ回路1の入力端Aには、プルアップ抵抗6と信号入力スイッチ7との接続点が配線コネクタ9を介して接続され、信号入力スイッチ7の開閉による入力端A点の電位変化がデジタル信号としてフィルタ回路1を介して電子回路8の入力端Bに与えられる。

この回路の動作は以下の通りである。

信号入力スイッチ7からフィルタ回路1の入力端A点までの配線上に侵入する、サージ、電波障害、スイッチチャタリング等によるノイズは、保護抵抗2とコンデンサ3とによって決まる時定数でフィルタリングされて除去される。また、サージ等の過電圧入力が印加された場合には、ダイオード4あるいは5と保護抵抗2の経路で過電圧による電流を逃すことにより、電子回路8の過電圧、過電流破壊を防ぐようになっている。

また、振動、温度、湿度等において苛烈な環境下にある車両用フィルタ回路の周辺の機能として、

保護抵抗2をIC内蔵にすると、ICの入力部に設置される保護抵抗2に直接数百Vの過電圧が印加されてICが破損するおそれがある。そこで、IC保護の観点から保護抵抗2を外付けとした第5図に示すような回路となる。

第5図において、一点鎖線で囲まれた部分がIC化されたCMOSフィルタ回路10である。保護抵抗2はCMOSフィルタ回路10の入力端Aと配線コネクタ9との間に外付けで接続され、プルアップ抵抗6はクランプ用ダイオード4、5及びコンデンサ3と同様にCMOSフィルタ回路10内に設けられる。さらに信号を波形整形するためのCMOSバッファもしくはコンパレータ11を備えている。

フィルタ時定数は外付けの保護抵抗2(抵抗値R)とフィルタ回路内蔵のコンデンサ3(容量C)により決定される。この場合、數10PF以上の大容量コンデンサはIC内蔵化が困難であるから、場合によってはデジタル回路によるフィルタとして、例えばサンプリングと2重照合を行うサンプ

(3) 第4図に示すようにフィルタ回路1と信号入力スイッチ7とを結ぶ配線コネクタ9の導通不良による誤動作を確実に防止する必要がある。これは、接点の酸化が原因となるから、接点の酸化被膜を破るのに必要な所定値以上の接点電流(通常1mA~2mA以上)が流れるようにすればよい。

(4) このようなフィルタ回路は電子回路の信頼性を確保する上で極めて重要であり、より一層高い信頼性を得るために、また部品数の削減による組付けコストの低減のために、構成部品数の削減が望まれる。

上述した(4)の解決手法として、フィルタ回路の集積回路化(以下、IC化と記す)が考えられる。コスト低減の意味からは、ICはハイブリッドICではなくモノリシックICが望ましく、さらにIC製造工程も特殊プロセスではなく最も一般的なCMOS標準プロセスが望ましい。

第4図のフィルタ回路および周辺回路であるプルアップ抵抗6と共にCMOSIC化する場合、

リング回路12をバッファ回路11の後段に設けることもある。

#### C. 発明が解決しようとする課題

しかし、上述のようなIC化フィルタ回路において、上述した(1)~(4)の要求機能を満足させるためには、CMOSバッファもしくはコンパレータ11の入力閾値電圧は以下の条件を成立できるものでなければならない。

サージ印加時にダイオード4、5を流れる電流Ioによるラッチアップおよびダイオードの破壊を防止するためには、例えばサージ電圧を±300Vと仮定するとき、 $I_o \leq 100\text{mA}$ とする必要がある。従って、外付け保護抵抗2の抵抗値Rの条件は、

$$300\text{V}/R \leq 100\text{mA} \text{ から、}$$

$$3\text{k}\Omega \leq R \dots \text{①}$$

となる。

また、配線コネクタ9の接点の酸化被膜を確実に破るためのコネクタ接点電流Icを例えばIc≥1mAとし、電源電圧VDD=5Vとすれば、保護

抵抗2の抵抗値Rとブルアップ抵抗6の抵抗値rの和の条件は、

$$5V / (R + r) \geq 1mA \text{ から。}$$

$$R + r \leq 5k\Omega \dots \textcircled{2}$$

となる。

ここで、保護抵抗2はディスクリート素子であるため、その抵抗値Rのバラツキや温度に対する変化は小さくほぼ一定である。これに対し、ブルアップ抵抗6はIC内蔵の素子であるため、その抵抗値rのバラツキや温度に対する変化が大きい。そこで、最悪値でも上記の、②の条件を満足するように抵抗値R, rを設定すると、次のようになる。

$$R = 3k\Omega$$

$$r = 1k\Omega(r_{typ}), 1.5k\Omega(r_{max}), 0.6k\Omega(r_{min})$$

したがって、信号入力スイッチ7がオンのときのフィルタ回路10の入力電圧の最大値は、

$$\frac{R}{R + r_{min}} V_{DD} = \frac{3k\Omega}{3.6k\Omega} 5V = 4.17V$$

となり、またコネクタ9の接点電流の最小値は、

$$\frac{V_{DD}}{R + r_{max}} = \frac{5V}{4.5k\Omega} = 1.11mA$$

となる。したがって、CMOSバッファもしくはコンパレータ1のHi, Low判定の入力閾値電圧V<sub>TH</sub>は、

$$4.17 < V_{TH} < 5V$$

となり、かなり電源電圧V<sub>DD</sub>に近いものとなる。また、符号11で示す回路をインバータ等の簡単なバッファ回路で構成することは現実的に好ましくなくコンパレータを使用する必要がある。

このようなコンパレータ11を使用する場合、その入力閾値電圧V<sub>TH</sub>が電源電圧V<sub>DD</sub>に近いと、サージやノイズ等が入力信号に重複された場合、クランプダイオード4による直流再生現象によって入力信号の電圧シフトが起こり、コンパレータ11が誤動作してしまう。

次に、直流再生による入力波形の状態を第6図および第7図について説明する。

第6図は、サージ等が加わらない場合の通常の入力波形図である。第6図(a)に示すV<sub>A</sub>は第

5図に示す保護抵抗2の前段の電圧波形であり、信号入力スイッチ7がオンのとき0V, オフのとき5V(V<sub>DD</sub>)となる。これに対し、第5図に示すフィルタ回路10の入力電圧波形V<sub>IN</sub>は、第6図(b)に示すように信号入力スイッチ7がオンのとき、保護抵抗2とブルアップ抵抗6との分圧比で決まる電圧(<V<sub>DD</sub>)になり、オフ時は5V(V<sub>DD</sub>)になる。また、この時のコンパレータ11の入力閾値電圧V<sub>TH</sub>は、信号入力スイッチ7のオン時とオフ時の電圧間に設定される。

第7図は、電波障害ノイズが加わった時の入力波形図である。この場合、保護抵抗前段の電圧V<sub>A</sub>は、同図(a)に示すごとく信号入力スイッチ7をオフしたときの電圧0Vおよびオンしたときの電圧5Vの信号にノイズ成分13が重複された形となる。これに対し、フィルタ回路10の入力電圧V<sub>IN</sub>は、同図(b)に示すごとく信号入力スイッチ7をオンした時およびオフした時の元の信号に保護抵抗2およびコンデンサ3で決定される時定数でフィルタリングされたノイズ14が

重複された形となる。

この場合、同図(b)からも明らかなように電源側クランプダイオード4の直流再生により、Hi時の電圧が低電圧側にシフトして波形に非対称性が生じる。したがって、そのHi時の信号の平均レベルは、ノイズがない時に比べ下がる。その結果、信号の平均レベルがコンパレータ11の入力閾値電圧V<sub>TH</sub>より下がり、信号がHiにも拘らずしと誤動作することになる。

すなわち、従来のフィルタ回路では、ブルアップ抵抗のバラツキが±40~50%と大きいためにHi, Lo判定入力閾値電圧を電源電圧に接近せざるを得ずノイズの影響を受け易く、入力信号に対し誤動作して正確な信号電送ができない問題があった。

本発明の目的は、ノイズ侵入時の直流再生を抑制して確実にオン・オフ信号を出力できる半導体フィルタ回路を提供することにある。

#### D. 諸題を解決するための手段

一実施例を示す第1図に対応づけて本発明を説

明すると、本発明は、信号入力端子 21a が外付けの保護抵抗 31 を介して信号入力スイッチ 29 の一端に接続され、この信号入力スイッチの他端が電源側もしくは接地側に接続され、信号出力端子 21b が前記信号入力スイッチ 29 のオン・オフに伴うデジタル信号を受信する電子回路 32 に接続されるとともに電子回路 32 に侵入するノイズ等を除去する集積化されたフィルタ回路 21 に適用される。そして、上述の目的は以下の構成で達成される。

信号入力スイッチ 29 がいわゆるローサイドスイッチであれば、第1図(a)のように信号入力端子 21a と接地との間にそれぞれ逆方向および順方向に直列に接続された一対のゼナダイオード 22A, 22B、および信号入力端子 21a と電源間に接続されたブルアップ抵抗 24 の組を備える。

信号入力スイッチ 29 がいわゆるハイサイドスイッチであれば、第1図(b)のように信号入力端子 21a と電源との間にそれぞれ逆方向および

順方向に直列に接続された一対のゼナダイオード 23A, 23B、および信号入力端子 21a と接地間に接続されたブルダウン抵抗 25 の組を備える。

さらにローサイドスイッチでは信号入力端子 21a と接地間に、ハイサイドスイッチでは信号入力端子 21a と電源間に接続したコンデンサ 26 と、信号入力端子 21a と信号出力端子 21b 間に接続されたバッファもしくはコンパレータ 27 とを備える。

#### E. 作用

フィルタ回路と信号入力スイッチ 29 とを接続する接点を流れる電流を  $1mA$  以上とし、かつ、サージから I C 回路を保護するためには、保護抵抗とブルアップまたはブルダウン抵抗の各抵抗値が上記①、②を満足するように決定され、コンパレータの閾値  $V_{TH}$  が電源電圧に近くなることは從来と変わらない。しかし、それぞれ順逆方向に直列接続された一対のゼナダイオード 22A, 22B または 23A, 23B のいずれか一方の対

が用いられ、信号レベルは一対のゼナダイオードの逆方向電圧と順方向電圧との和まで上昇できるので、入力信号が直流再生されにくく、したがって、電圧シフトが起きない。その結果、信号入力スイッチ 29 のオン・オフ時の電圧の変動幅が小さくても、各電圧値の中間値に定められる閾値  $V_{TH}$  を有するバッファまたはコンパレータ 27 はそのオン・オフ信号を確実に判別して後段に伝達する。

なお、本発明の構成を説明する上記D項およびE項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

#### F. 実施例

以下、本発明の実施例を図面に基づいて詳細に説明する。

##### 〈1：信号入力スイッチがローサイドスイッチの実施例〉

第1図は、本発明による半導体フィルタ回路の一実施例を示す回路図である。

図において、破線で囲んだ部分が I C 化された

半導体フィルタ回路 21 であり、このフィルタ回路 21 は、過電圧入力保護のための一対の電圧クランプ用ゼナダイオード 22A, 22B と、ブルアップ抵抗 24 と、ノイズ除去用のコンデンサ 26 と、CMOS バッファもしくはコンパレータ 27 とを少なくとも有し、必要に応じて、入力抵抗 33 とサンプリング回路 28 を備えている。ここで、ブルアップ抵抗 24 と入力抵抗 33 は、I C 基板内でポリシリコンにより形成されている。

上記構成のフィルタ回路 21 において、クランプ用ゼナダイオード 22A は入力端子 21a と接地間に逆方向接続され、クランプ用ゼナダイオード 22B は入力端子 21a と接地間に順方向接続されている。各ゼナダイオード 22A, 22B の逆方向電圧および順方向電圧はそれぞれ  $V_Z$ ,  $V_F$  である。また、ブルアップ抵抗 24 は入力端子 21a と電源電圧  $V_{DD}$  間に接続され、コンデンサ 26 は入力端子 21a と接地間に接続されている。バッファ回路もしくはコンパレータ 27 および必要に応じて付加されるサンプリング回路

28は入力端子21aと出力端子21b間に直列に接続されている。さらに、バッファ回路またはコンパレータ回路28の入力端と入力端子21aとの間には入力抵抗33が介在されている。

また、フィルタ回路21の入力端子には外付けの保護抵抗31の一端が接続され、保護抵抗31の他端は配線コネクタ30を介して信号入力スイッチ29の一端に接続されている。信号入力スイッチ29の他端は接地され、したがって、ローサイドスイッチを構成している。フィルタ回路21の出力端子21bには電子回路32が接続されている。

上記ツェナダイオード22A、22BをIC基板上に形成する一実施例を第2図に示す。

N<sup>-</sup>半導体基板201にPウェル領域202を形成し、このPウェル領域202中にN<sup>+</sup>領域203、204を設ける。そして、N<sup>+</sup>領域203を入力端子21aと接続し、N<sup>+</sup>領域204を接地する。このような構造により、N<sup>+</sup>領域203とPウェル領域202とのPN接合でツ

(V<sub>DD</sub>)となる。第3図(b)および第3図(c)は第1図に示すフィルタ回路10の入力電圧波形V<sub>IN</sub>およびコンパレータ27の入力電圧波形V<sub>C</sub>を示し、それぞれ信号入力スイッチ29がオンのときには保護抵抗31とプルアップ抵抗24との分圧で決まる電圧4.17V(<V<sub>DD</sub>)になり、オフ時は5V(V<sub>DD</sub>)になる。したがって、コンパレータ27の入力閾値電圧V<sub>TH</sub>(4.17<V<sub>TH</sub><5V)を境にして、入力信号のL<sub>o</sub>、H<sub>i</sub>を確実に判別できる。

電波障害ノイズが加わった時、保護抵抗前段の電圧V<sub>A</sub>は、第3図(a)に示すごとく信号入力スイッチ29をオフしたときの電圧0Vおよびオンしたときの電圧5Vの信号にノイズ成分13が重複された形となる。これに対し、フィルタ回路21の入力電圧V<sub>IN</sub>は、同図(b)に示すごとく信号入力スイッチ29をオンした時およびオフした時の元の信号に保護抵抗31およびコンデンサ26で決定される時定数でフィルタリングされたノイズ14が重複された形となる。

エナダイオード22Aを形成し、N<sup>+</sup>領域204とPウェル領域202とのPN接合でツェナダイオード22Bを形成する。

なお、ここで、プルアップ抵抗24と保護抵抗31の抵抗値R<sub>r</sub>は、前述したように、最悪値でも前述した①、②の条件を満足するように次のように決定される。

$$R = 3 \text{ k}\Omega$$

$$r = 1.5 \text{ k}\Omega \sim 0.6 \text{ k}\Omega (r \text{ min})$$

したがって、バッファ回路またはコンパレータ回路27の入力閾値電圧V<sub>TH</sub>は、

$$4.17 < V_{TH} < 5 \text{ V}$$

の範囲に設定される。

次に、第3図により動作について説明する。

第3図は、サージ等が加わらない場合の通常の入力波形(太線で示す)と電波障害ノイズが加わった時の入力波形(細線で示す)をそれぞれ示している。第3図(a)に示すV<sub>A</sub>は第1図に示す保護抵抗31の前段の電圧波形であり、信号入力スイッチ7がオンのとき0V、オフのとき5V

この実施例では、同図(b)からも明らかのように、電源側にはクランプダイオードが設けられていないので、信号入力スイッチ29オフ時にノイズが入力したとき従来のような直流再生現象が発生しない。そして、それぞれ順逆方向に接続された一対のツェナダイオード22A、22Bの逆方向および順方向電圧V<sub>Z</sub>、V<sub>F</sub>の和(V<sub>Z</sub>+V<sub>F</sub>)まで入力端子21aの電圧V<sub>IN</sub>が上昇し得る。例えば、V<sub>Z</sub>=10V、V<sub>F</sub>=0.6Vとすれば、10.6Vまで上昇する。したがって、H<sub>i</sub>時にノイズが重複しても信号レベルが10.6V以下ならば直流再生現象が起きない。その結果、電圧信号入力スイッチ29オフ時の波形に従来(第6図(b))のような非対称性が生じないから、その時の信号の平均レベルはノイズがない時にほぼ等しく、信号の平均レベルがコンパレータ27の入力閾値電圧V<sub>TH</sub>より常に高くなるから、コンパレータ27の入力信号がH<sub>i</sub>にも拘らずL<sub>o</sub>と誤動作することがない。

なお、第3図(c)から分かるように、入力抵

抗33を挿入するとフィルタリング機能が向上する。

また、信号入力スイッチ29がオン時にも同様の理由により従来のような直流再生は起きず、信号入力スイッチ29オン時に電波障害が発生してノイズが重複しても電圧シフトが起きず、その平均電圧は閾値 $V_{TH}$ よりも常に低くなり、誤動作は起きない。

さらに、上述したように、入力抵抗33とプルアップ抵抗24をポリシリコンで形成しているから、これらを拡散抵抗で形成する場合に電源側に生じる寄生ダイオードの影響を受けることなく以上の効果を享受できる。なお、N型基板内にPウェル領域を形成して接地し、そのPウェル領域中にN型拡散抵抗で上記入力抵抗33やプルアップ抵抗24を作成するのは寄生ダイオードができるから構わない。

〈II：信号入力スイッチがハイサイドスイッチの実施例〉

第1図(b)は、本発明によるフィルタ回路の他の実施例を示す回路図である。

チがローサイドスイッチの場合には信号ラインと接地との間にそれぞれ順逆方向に直列接続された一対のシェナダイオードを介装し、信号入力スイッチがハイサイドスイッチの場合には信号ラインと電源との間にそれぞれ順逆方向に直列接続された一対のシェナダイオードを介装しサージを接地側あるいは電源側に逃がすようにしたので、電波障害時の直流再生現象が起きにくく、信号入力スイッチのオン・オフを確実に後段の電子回路に伝達できる。

#### 4. 図面の簡単な説明

第1図(a), (b)は本発明による発明による半導体フィルタ回路の2実施例を示す回路図である。

第2図はIC化した一対のシェナダイオードを説明する図である。

第3図は本発明による半導体フィルタ回路の動作を説明する波形図である。

第4図は従来のディスクリート構成によるフィルタ回路の構成図である。

第1図(b)の実施例は、信号入力スイッチ29を電源側に接続してハイサイドスイッチとしたものであり、これに伴い順逆方向にそれぞれ接続される一対のシェナダイオード23A, 23Bを入力端子21と電源電圧 $V_{DD}$ の間に介装するとともに、コンデンサ26を入力端子21aと電源電圧 $V_{DD}$ 間に接続し、さらに、入力端子21aと接地間にプルダウン抵抗25を接続する。

この実施例においても上記実施例と同様な作用効果が得られる。

また、上述したように、入力抵抗33とプルダウン抵抗25をポリシリコンで形成すれば寄生ダイオードの影響を受けることなく上述した効果を享受できる。P型基板内にNウェル領域を形成して電源と接続し、そのNウェル領域中にP型拡散抵抗で上記入力抵抗33やプルダウン抵抗25を作成するのは寄生ダイオードができるから構わない。

#### G. 発明の効果

以上のように本発明によれば、信号入力スイッ

第5図は従来のIC化フィルタ回路の構成図である。

第6図および第7図は従来例を説明する波形図である。

21: IC化フィルタ回路

22A, 22B, 23A, 23B: シェナダイオード

24: プルアップ抵抗 25: プルダウン抵抗

26: コンデンサ

27: バッファ回路もしくはコンバーティ

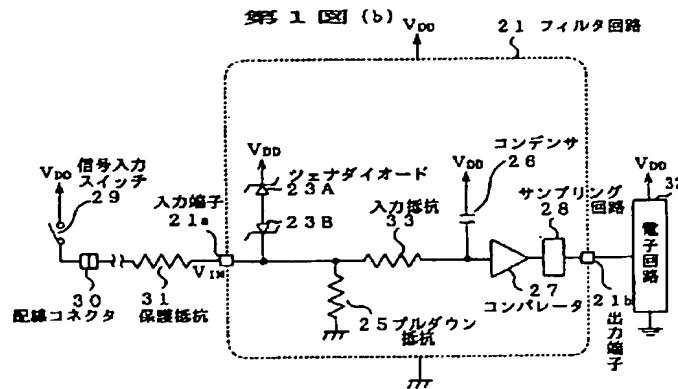
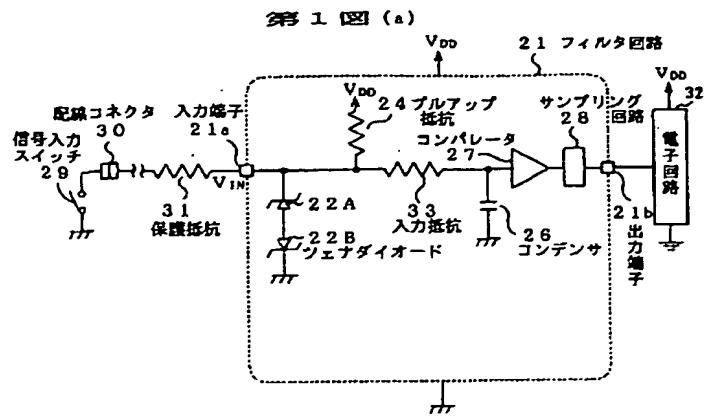
28: サンプリング回路 29: 信号入力スイッチ

30: 配線コネクタ 31: 保護抵抗

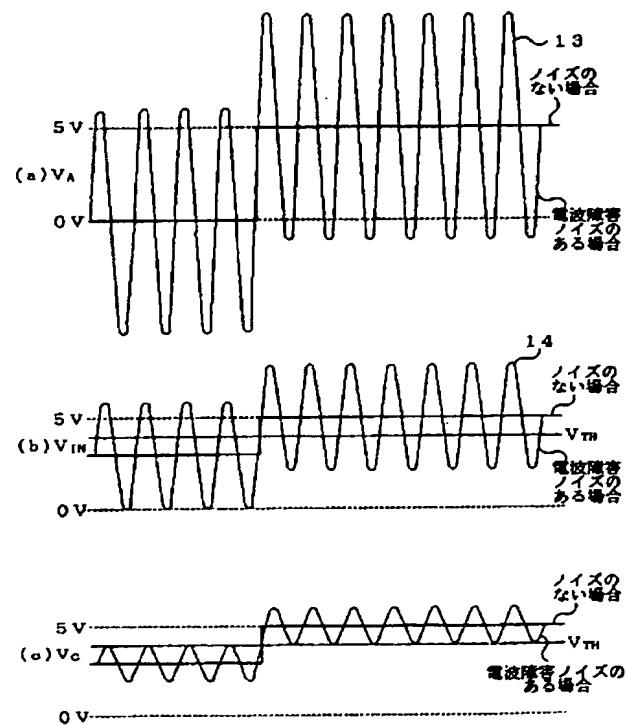
32: 電子回路 33: 入力抵抗

特許出願人 日産自動車株式会社

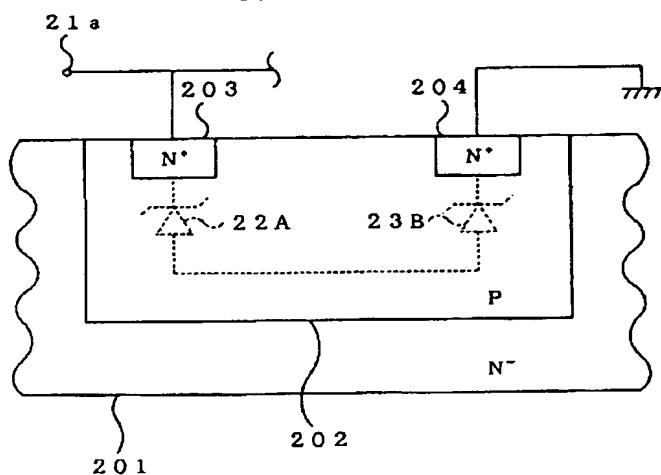
代理人弁理士 永井冬紀



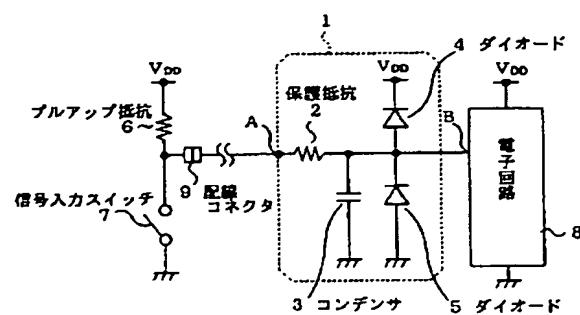
第3図



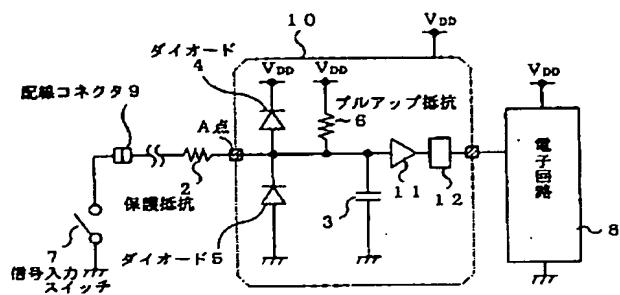
第2図



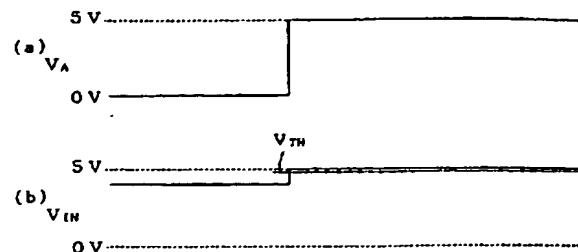
第4図



第5図



第6図



第7図

